

降低 SOC 芯片测试成本的有效方法

吉国凡、王惠

北京华大泰思特特半导体检测技术有限公司 邮编 100088

摘要: 通过测试成本模型分析, 芯片的测试时间是影响测试成本的重要因素之一, 并行测试是降低测试成本的最有效的方法, 但是在实际应用中若从测试机硬件结构和软件编程入手, 也可以减少测试时间, 降低测试成本。

关键词: 测试成本、测试时间 并行测试、程序优化

研究领域代号 F

1、简介

SoC 技术的发展虽然为降低消费性电子产品的成本提供了新思路, 但是也增加了 SoC 芯片的设计、制造和测试难度。面对越来越复杂的 SOC 芯片, 测试工程师既要保证达到全面完备测试的要求, 又要不断探索降低测试成本的方法, 因此降低测试成本成了当今业者关注的焦点之一。采用低成本的 ATE (Automatic Test Equipment) 明显可以降低芯片测试成本, 但是 SOC 芯片中集成的 IP 核越来越多, 越来越复杂, 对 ATE 的测试通道数、测试向量深度、测试频率、并测、并发测试能力都提出了更高的要求, 低成本的 ATE 很难满足要求。因此, 仅靠降低测试设备的成本并不是一个很好的解决方案, 需要寻求新的降低 SOC 测试成本的方法。

芯片测试时间是由芯片的测试程序的运行时间加上与其配套的设备运行时间组成如图 1 所示。芯片的测试时间是影响芯片测试成本的重要因素之一, 对于产业化测试, 除尽可能减少设备运行时间外, 还要结合被测芯片的特点和测试系统的工作方式, 对芯片的测试程序进行优化, 加快程序的运行速度, 达到节约芯片测试时间、降低测试成本的目的。

2、测试成本模型^[1]

2.1 总成本

每个 DUT 器件, 某项测试成本用 C 表示:

$C = C_{Cap} + C_{Op} + C_{PC} + C_{Pkg}$, 其中 C_{Cap} 为基础成本, C_{Op} 为操作成本, C_{PC} 为探卡成本, 将 Fail 器件进行封装产生的成本表示为 C_{Pkg} 。探卡成本和封装成本直接与芯片的复杂程度、封装类型有关, 所需费用基本上是固定的, 在这里暂不考虑。下面只考虑基础成本和操作成本。

2.2 基础成本 C_{Cap}

基础成本是在测试设备的折旧期 T_{Depr} 中消耗的测试成本。折旧期 T_{Depr} 通常为 5 至 10 年。日常维护，可靠性，校准等其他因素减少了设备的可用时间，设备总的可用时间为 $P_{Util} \times T_{Depr}$ 。测试需要的测试时间为 t_{Tot} 。

$$C_{Cap} = \left(\frac{C_{Infra}}{\bar{S}} + \frac{(C_{1Ch} N_{Ch} + C_{1Site}) \cdot S}{\bar{S}} \right) \cdot \frac{t_{Tot}}{P_{Util} T_{Depr}}, \quad C_{Infra} = C_{Prober} + C_{ATE,0}$$

C_{Prober} 探针的成本， $C_{ATE,0}$ 是 0 通道 ATE 的成本， C_{1Ch} 是 ATE 的 1 条通道的成本， N_{Ch} 是被测芯片需要的通道数， C_{1Site} 是每个 site 占用资源的成本， S 是 ATE 可满足的并行测试 site 数， \bar{S} 实际并行测试的 site 数。

2.3 操作成本 C_{Op}

操作成本包括操作人员的工资、车间的费用、能耗的成本、培训、维护等费用用 R_{Op} 表示， R_{Op} 是一个固定的成本比率；

$$C_{Op} = \frac{R_{Op} \cdot t_{Tot}}{\bar{S}} ;$$

t_{Tot} 为芯片需要的测试时间， t_{Tot} 为测试 1 个芯片需要的测试时间，其中包括有效测试时间 t_{Test} 和芯片测试之间移动时间 t_{Step} 、更换 lot 的时间 t_{Lot} ，如下公式表示：

$$t_{Tot} = \hat{t}_{Test} + t_{Step} + t_{Lot}$$

$$\text{有效测试时间 } \hat{t}_{Test} = k \cdot t_{Test} \quad ; \quad k = k_{Conc} \cdot k_{Seq} \cdot k_{Fail} \cdot k_{Retest}$$

单 site 测试时间 t_{Test} ， k 是一比例系数与几个修正因子有关如下：多 site 测试时需要补测 (k_{Retest})、多 site 测试过程中出现 Fail 时测试中止对测试时间的减少比率 (k_{Fail})，多多管芯测试时测试项的顺序 (k_{Seq})；多个模块进行并发测试时 (k_{Conc})；假定芯片测试之间移动时间 t_{Step} ，更换 lot 的时间 t_{Lot} 是固定的。

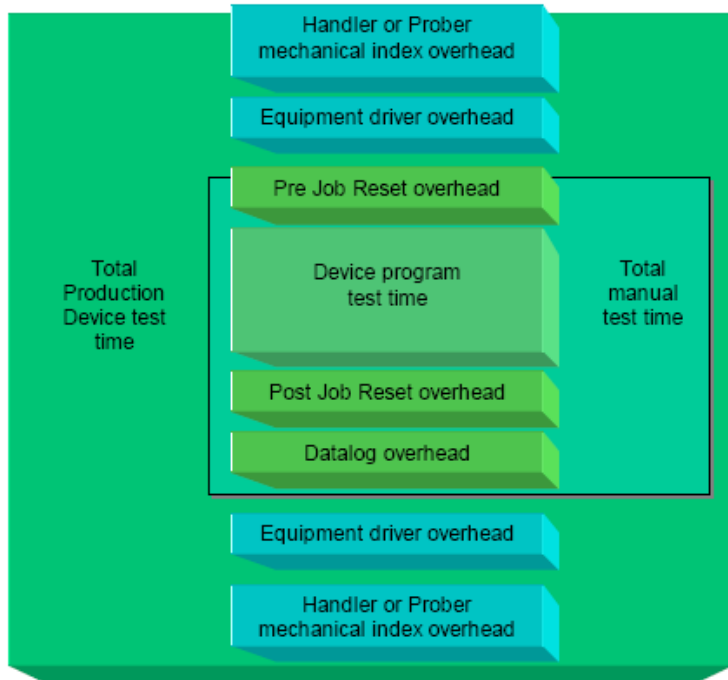


图 1 芯片测试时间构成

每个测试机以及与之配套的测试设备都有自己的特殊结构，handle 的典型移动时间是 500ms 至 3s，probers 的典型移动时间是 70 ms 至 200 ms。这里我们不谈生产管理、硬件资源如何节省成本，只从测试技术方面入手，讨论如何实现减少测试时间，降低测试成本；

3、有效方法实例

3.1 采用并行测试技术

并行测试技术的应用已经相当成熟，大部分测试机都具有这方面的能力，例如某 ID 卡专用芯片测试采用 J750 测试系统，用一块通道板（64 通道）实现了从单管芯到八管芯并行测试程序开发；单片测试时间及 8 管芯测试时间如图 2 所示，包括测试过程中探针移动的时间和芯片测试时间。

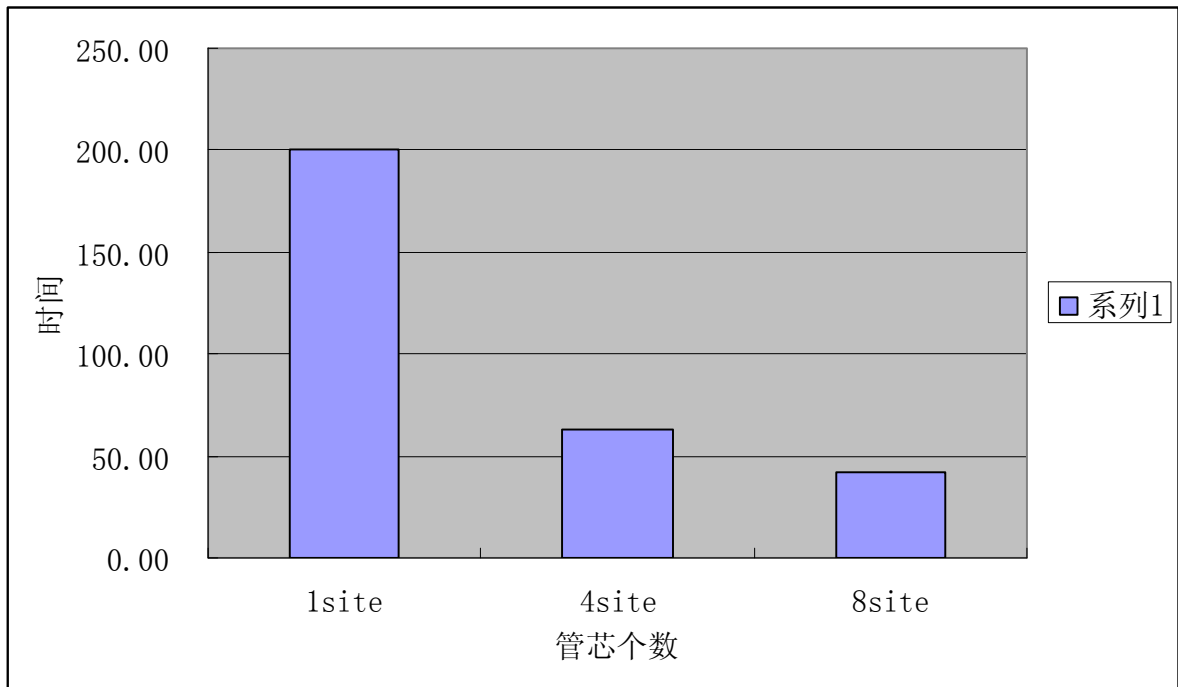


图2 并行测试时间图

采用并行测试技术提高了 IC 生产测试效率，降低了测试成本，并使昂贵的测试系统资源得到了最充分的利用。同时，并行测试技术还降低了能耗，减少测试厂房的占地面积。目前，国际上知名的集成电路制造商在 IC 生产测试中已广泛采用各种并行测试技术，特别是存储器电路、消费类产品等，最大并行测试芯片数已达到 128 个。

3.2 优化测试流程

由于在一个芯片中集成了数模混合等不同的功能模块，使得 SoC 芯片的测试过程也变得更为复杂。要实现全面完备的测试，达到令人满意的故障覆盖率，需要的测试项目一般都比较多。因此芯片测试时间由芯片测试程序的复杂程度决定，前期测试方案的设计变得很重要，芯片测试程序调试完毕后，投放生产测试之前，通过对测试程序进行优化，可以到达节约芯片测试时间；对同一芯片的测试，测试机只能逐项按顺序进行，各测试项目的排列顺序称为测试流程。综合考虑多方面因素，对测试流程中的测试项目进行合理排序；比如某一项测试项失效后，测试终止，可以缩短失效芯片的测试时间。测试流程中通常将连接性测试作为首项测试，连接性测试是用于保证测试设备的接口与芯片的正常连接；直流参数测试通常排在测试流程的前面，因为漏电

流和功耗等直流参数也是反映芯片制作工艺的重要指标。数模混合 SOC 芯片测试通常是采用分模块测试的方式，先测试数字部分的电路功能，接下来再测试模拟部分；这是因为数字模块的测试原理相对简单，对测试资源的要求较低，相对测试时间较短；模拟模块的测试需要采用比较复杂的测试方法和测试设备，相对测试时间较长。调试过程中收集处理失效数据，将失效概率较大的测试项目排在前面，减少失效芯片的测试时间，降低测试成本。

3.3 优化测试程序

每个测试机的测试原理是相同的但是结构上是有区别的，在编制测试程序时，实现的方法不尽相同，在开发测试程序时就需要充分发挥测试机的硬件特点，以达到提高测试程序运行速度的目的。测试程序应当尽量结构简单，复杂的测试程序可能导致测试机的软硬件冲突，反而增加测试时间。

比如 Teradyne J750[2]，对于 Spec Sheet，应当尽量避免 spec 与其他 worksheet、spec 或 workbooks 的链接，删除测试程序不需要的 spec，因为 spec 与其他 spec 的依赖性越强，得出结果数值需要的时间就越长。在测试程序程序中尽量运用 pin group（管脚分组），对于 Level Sheet，各管脚的上电/掉电顺序应采用默认顺序，如果采用非默认顺序，会有性能损失；Tdelay 可设为 0，因为测试系统在 DPS 上电与测试程序开始执行之间插入的时间可以满足要求，额外的 Tdelay 会增加测试时间。如图 3 所示。

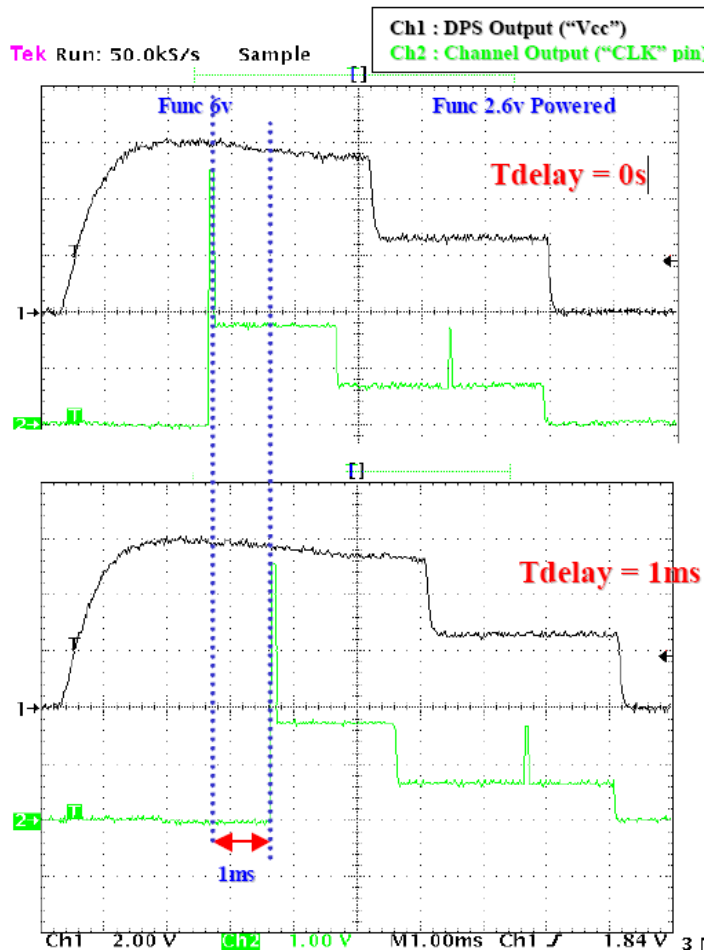


图3 Tdelay 设置1ms 时 使DPS已经平稳时间再附加延迟1ms

在编写 Timing Sheet 时，应将不同的 Time Set (Basic) sheet 整合到一个 sheet 中，并删除 Time Set (Basic) sheet 中不需要的 time set，这样可以节约测试时间。在编写 Test Instance 时为了节省时间，应尽量将相似的测试合为一项，这样可以减少继电器的动作；应将 Relay Mode 设置为 powered，可以不必频繁断电上电；应当用测试向量，不用 Pins start/init 进行初始化设置。对于 DC 测试减少测试时间的方法有：采用 PPMU，将多个管脚设置成一组同时进行测试，将 samples 设置为默认值 1，在满足分辨率要求的条件下选择较大的上限。对于功能测试应当遵循的建议有：对于 pattern 很多的情况，最好采用 pattern groups，按照 pattern 的执行顺序排列，最后一个 pattern 的结尾为代码“halt”，这样各 pattern 运行之间 pattern 产生器不用停止；pattern 中尽量少用跳转和子程序调用。可以减少程序下载的时间。施加电压测量时或施加电流测量时如：漏电流、idd、voh、vol 等，要选择合适的 settling time，如图 4 所示；进行 DC 参数测试时在分辨率允许的情况下，尽量选择大的量程。

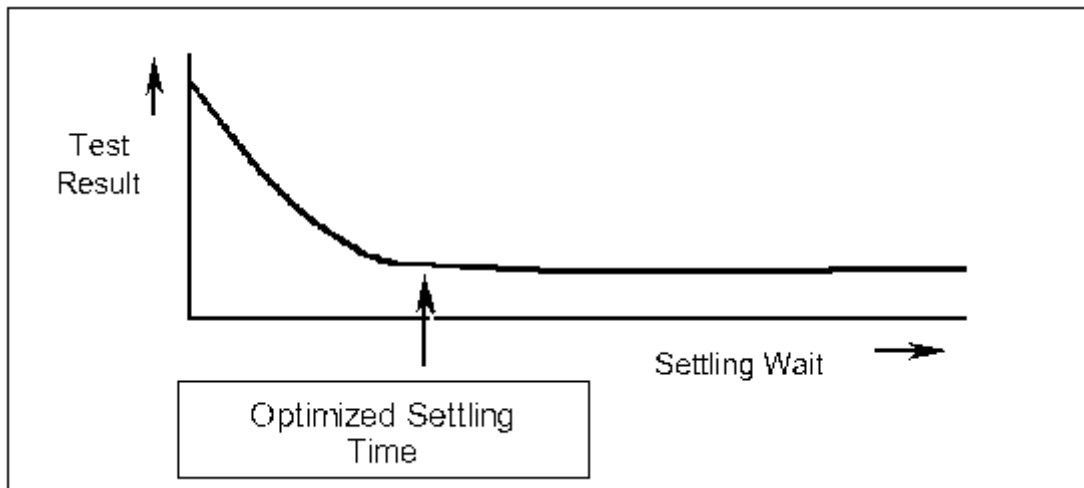


图4 结果稳定时的最佳采样测试时间

4、结论

并行测试是降低测试成本的最有效的方法，但是也并不是测试成本与并行测试数一直是呈线性关系，随着多管芯数增多探卡成本、ATE 资源成本就越高；从测试机硬件结构入手，优化测试程序软件也是降低测试时间的有效方法。减少测试程序的运行时间，需要调试分析测试系统硬件、软件设置等各种因素，测试程序的优化是一个反复的过程，对测试程序的一项改动不可能使测试程序的运行时间减少几百毫秒。在选用优化技术时应当综合考虑多方面因素，使测试产量最大化又不会损害测试程序的可行性和可维护性。

参考文献：

- [1]、Jochen Rivoir Agilent Technologies R&D and Marketing GmbH & Co. KG “Parallel Test Reduces Cost of Test More Effectively Than Just A Cheap Tester” ， 20th IEEE SEMI-THERM symposium。
- [2]、Ingo Wahl, Infineon Technologies AG Leo Di Bello, Teradyne GmbH “Speeding up Test Programs on J750” ， www.Teradyne.Com 。