

# 基于 IP 核的 SOC 中 ADC 的测试技术

刘炜 张琳

北京华大泰思特半导体检测技术有限公司

**摘要:** 本文简单描述了 SOC 芯片测试技术的复杂性, 模数转换器(ADC)是 SOC 芯片中的重要模块, 随着器件时钟频率的不断提高, 高效、准确地测试 ADC 的动态参数和静态参数是当今 SOC 芯片中的 ADC 测试研究重点。本文重点介绍了一款 SOC 芯片中高速 ADC 测试的方法。

**关键词:** SOC、模数转换器、IP 核

## 1. SOC 测试的复杂性

随着设计与制造技术的发展, 集成电路设计从晶体管的集成发展到逻辑门的集成, 现在又发展到 IP 的集成。近年来已发展到系统级芯片阶段, SOC 设计技术成为设计的热点之一。SOC 的设计模式不同于以往大规模集成电路的垂直设计模式。它的设计模式是水平的, 也就是 SOC 集成商选择不同厂商提供的 IP 核来构建芯片系统。这种水平设计模式一方面缩短了 SOC 设计周期, 另一方面却使 SOC 测试面临巨大挑战。IP 核的多样性带来测试的复杂性, 就 IP 核的设计形式而言, 有软核、固核、硬核三种; 就电路类型而言, 有数字逻辑核、存储器核、模拟/混合核; 就功能而言, 有处理器核、DSP 核、多媒体核等; 就电路可测试性设计方法而言, 有内建自测试 (Built-in-Self-Test, BIST), 扫描测试、边界扫描测试、测试点插入等; 就时钟而言, 有处理器核和 DSP 核等需要高频时钟的 IP 核, 也有外设控制器等只需要低频时钟的 IP 核。SOC 的测试必须考虑对多样性的支持。测试资源是有限的, 外部测试设备所能提供的测试通道数, ATE (Automatic Test Equipment) 的测试通道深度和测试时间以及模拟测试部件都是“稀缺资源”。因而 SOC 的测试必须考虑所有与此有关的细节。

## 2. 基于 IP 核的 SOC 中 ADC 的测试技术

### 2.1 模拟/混合电路的 IP 核测试

模拟/混合电路核的测试技术还很不成熟，在数字逻辑电路中广泛应用的测试向量自动生成技术（Automatic Test Pattern Generation, ATPG）不能简单移植应用于模拟电路。这是因为：第一，模拟电路波形的时间和取值都是连续的，电路功能依赖于电路拓扑结构和元件的参数值，电路参数动态范围大，难以建立故障模型；第二，模拟信号是连续量，无论是从原始输入传递测试激励，还是从被测电路传出测试响应，在传输过程中，这些值都有可能被改变；第三，同样由于模拟信号的连续性，测量误差容易导致误判。为了提高电路的可测性，为了提高电路的可测性，常采用三种技术：第一，功能结构重组，此方法是利用电路的功能结构经过重组而与正常工作模式不同，利用输出信号判别电路是否发生错误。典型的方法为晶振测试，即产生某种频率的振荡信号，故障电路会改变此振荡信号的频率，通过监测信号频率的变化，观测到错误。第二，插入测试点，例如在电路中增加电流传感器，有错误的电路会改变电流大小，从而观测到错误。第三，进行数模/模数转换，即在芯片设计中加入模数转换器和数模转换器，把待测电路的模拟输出信号变成数字信号，把待测电路的数字输入信号变成模拟信号，从而实现激励和响应的传播。

## **2.2 ADC 的测试方法**

### **2.2.1 测试适配器设计技术**

测试适配器是芯片与测试机连接的关键，在设计中特别注意布局布线的方法，尽可能的减小噪声的引入：ADC 介于模拟电路和数字电路之间，且通常被划归为模拟电路，为减小数字电路的干扰，在芯片内部都将模拟电路和数字电路分开布局；进行测试时为减小信号线上的分布电阻、电容和电感，尽量缩短导线长度和增大导线之间的距离；为减小电源线和地线的阻抗，尽量增大电源线和地线的宽度，或采用电源平面、地平面。同样的，模拟电路的接地层，也要和数字电路的接地层分开，并考虑阻抗匹配，如果是差分输入，要考虑差分对的布线方法，这样测试出 ADC 的动态参数和静态参数才比较理想。

### **2.2.2 测试实例**

#### **2.2.2.1 器件特性**

本文测试芯片为一款带有一个 10bit 高速 AD 转换器模块的 SOC 芯片，其中 ADC 模块的特征描述如下：

- 1) 电源 4 组，模拟电源 1, 2(3.3V, 1.8V)。
- 2) 具有一对差分输入，共模电压为 1.5V,  $V_{p-p}$  为 1V。
- 3) 数字时钟频率 50MHZ，采样频率 25MHZ，输入波频率 2MHZ~36MHZ。

此 ADC 的测试，选用 Agilent 的 SOC 93000 测试系统。由于芯片有一对差分输入，共模电压为 1.5 V,  $V_{p-p}$  为 1V，这意味着模拟输入电压范围是 1~2V。这样模拟输入精度就是：

$$1LSB = \frac{(Vin_{max} - Vin_{min})}{2^n} = \frac{(2-1)}{2^{10}} = 976.6\mu V \quad (n \text{ 为数字输出位数})$$

为了能测试这样精度的芯片，我们需要输入更高精度的模拟电压。此次测试时输入的模拟电压精度为：

$$1LSB = \frac{(Vin_{max} - Vin_{min})}{2^{n+2}} = \frac{(2-1)}{2^{12}} = 244.1\mu V \quad (n \text{ 为数字输出位数})$$

在测试中为了产生如此高精度的模拟电压信号(电压精度为 200  $\mu$  V 左右)，使用了 Broadband High Speed AWG (500MHZ Sample/s 12-bit)测试硬件。AWG 的具体性能指标见表 1。

技术规范	数值
取样频率	8ksp~500Mps
分辨率	12-bit
模块引出端数	8 个单端或 4 对差分
波形存储器	8 M
最高正弦波频率	125 MHz
输出模式	单端，差分
输出范围	50 $\Omega$ 负载时为 2.5Vpp (衰减范围为 0~50dB, 精度为 0.01dB)
直流偏置范围	$\pm 2.5V$ 接地负载为 50 $\Omega$ 0V to 5V 负载接至 2.5V 外端电压时为 50 $\Omega$ -2.5V<AC+DC<2.5V 接地负载为 50 $\Omega$ 0V<AC+DC<5V 负载接至 2.5V 电压
输出阻抗	50 $\Omega$
滤波器	通过频率, 1.3MHz, 3.8 MHz, 13 MHz, 42 MHz, 78 MHz, 163 MHz
绝对直流精度	$\pm 1.0\% \pm 15mV$ 未加偏置使 Hi-Z (10 k $\Omega$ ) $\pm 1.3\% \pm 35mV$ 加偏置使 Hi-Z (10 k $\Omega$ )
THD 特征数据	1MHz 时 -80dB 10MHz -70dB

表 1 500M AWG 性能指标

通过使用上述的硬件，可对 ADC 芯片进行测试。主要测试了芯片的以下参数：  
静态参数: INL, DNL

动态参数:THD, SNR, SFDR, SiNAD

测试动态参数,最主要是测出芯片的基波、高次谐波及噪声。测试流程如下:

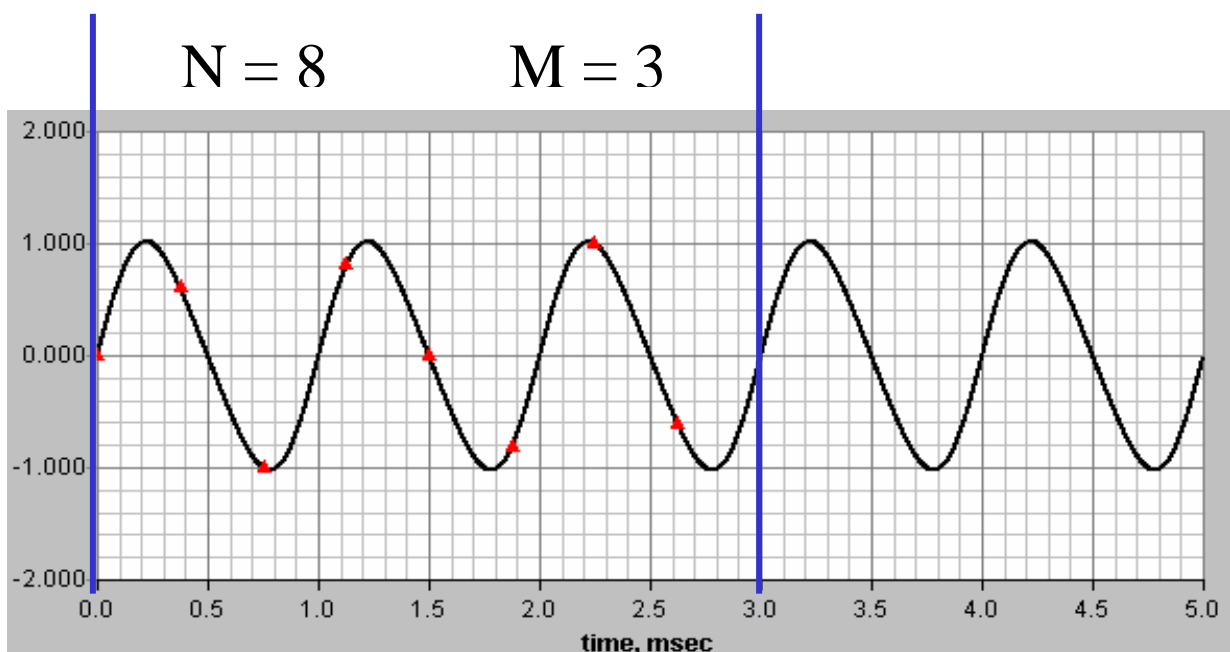
- 1)使用 AWG 生成一对差分的正弦波模拟信号,输入芯片;
- 2)芯片将其转换为相应的数字输出;
- 3)使用测试系统的数字通道获取芯片的数字输出,并将其组合成数字码;
- 4)对数字码进行分析得到芯片的基波、高次谐波及噪声(利用 FFT 变换);
- 5)计算 SFDR、SiNAD、SNR 和 THD。

生成了合适的正弦模拟信号并获取了芯片正确转换得到的数字码之后,就可以通过 FFT 变换得到基波、高次谐波及噪声的数据。计算 SFDR、SiNAD、SNR 和 THD 也就变得十分方便了。

### 2.2.2.2 ADC 动态参数测试方法

传统的动态测试方法是用高精度 DAC 重建 ADC 输出信号,然后用模拟方法分析。但这样的测试方法复杂、精度低、能测试的指标有限。国外从 20 世纪 70 年代起研究用数字信号处理技术对 ADC 进行动态测试,主要方法有正弦波拟合法、FFT 法、直方图法等。Agilent 的 SOC 93000 测试系统采用 FFT 法测试 ADC 的动态参数。

在实际测试过程中,需要应用相关采样原理,如图 2 所示。



$$\frac{M}{N} = \frac{F_t}{F_s}$$

式中，M 为采样周期数，必须为奇数。

N 为总采样点数，对于 FFT 算法其值必须为 2 的幂。

$F_t$  为输入模拟正弦波的频率。

$F_s$  为采样频率。

为了得到最佳测试结果，测试过程中所选的 M 与 N 的值必须要加以限制。为了保证采样数据集端点相匹配，M 必须选正整数；FFT 算法本身要求采样点数值为 2 的幂；为获得最佳测试效率和减少测试时间，M 和 N 要求不可约分。而且为了保证 FFT 变换一定的故障覆盖率，N 取值不能太小

在实际应用中计算方法如下：

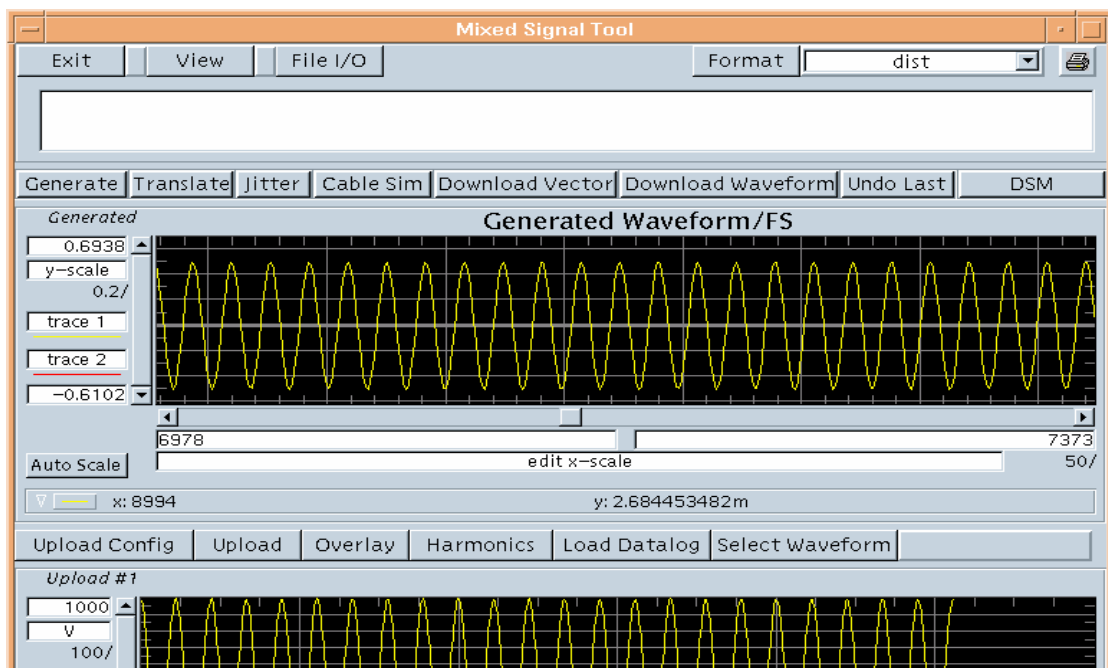
- 1) 先确定  $F_s$ 、 $F_t$ 、N 的值
- 2) 然后计算出 M，如果 M 不是整数，将 M 变成整数后，重新计算出  $F_t$ 。将  $F_t$  定为输入模拟正弦波的频率进行测试

### 2.2.2.3 ADC 动态参数的测试结果

在实际测试中，对芯片样片进行了以下频率的动态参数的测试：

- 1) 输入 2.026MHz 的正弦波，ADC 的时钟频率是 50MHz，采样频率 25MHz。
- 2) 输入 28.98MHz 的正弦波，ADC 的时钟频率是 50MHz，采样频率 25MHz。
- 3) 输入 35.96MHz 的正弦波，ADC 的时钟频率是 50MHz，采样频率 25MHz。
- 4) 输入 30.55MHz 的正弦波，ADC 的时钟频率 62.5MHz，采样频率 31.25MHz。

(其中上述 3、4 不符合 Nyquist 定律，属于欠采样)



### 图 3 测试样片结果波形

图 3

图 3 所示为测试样片的波形。测试条件:输入 35.96MHz 的正弦波, ADC 的时钟频率是 50MHz, 采样频率 25MHz。

图中的波形分别是:

(a) Generated Waveform (上图) 为测试机发出的 SINE 波;

(b) Upload #1 (中图) 为测试机获取的 器件输出波形;

(c) Upload #2 (下图) 为 FFT 结果。

通过实际测试, 此样片的 ADC 动态参数的测试值符合设计预期结果

### 3. 结束语

本文以测试实例介绍了在集成电路自动测试系统上实现 SOC 芯片中高速 ADC 测试的流程和应注意的 ADC 测试环境的配置, 以及为减少外部噪声的引入 LOAD BOARD 的设计技术。

### 参考文献

- [1] A. Chandra and K. Chakrabarty, "Test Resource Partitioning for SOCs", *IEEE Design and Test of computers*, pp.80-91, 2001.
- [2] F. Nekoogar, F. Nekoogar. From ASICs to SOCs. New Jersey: Prentice Hall PTR, 2003.
- K. Chakrabarty, "Optimal Test Access Architectures for System-on-a-Chip", *ACM Trans. Design Automation of Electronic System*, 6(1), pp. 26-49, 2001.